

Docket No.: 67161-025

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takashi IZUTSU

Serial No.:

Group Art Unit:

Filed: June 24, 2003

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE WITH MEMORY CELL HAVING LOW CELL
RATIO

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

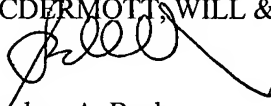
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-363600(P), filed December 16, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: June 24, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-025
Takashi IZUTSU
June 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月16日

出願番号

Application Number:

特願2002-363600

[ST.10/C]:

[JP2002-363600]

出願人

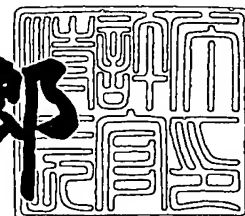
Applicant(s):

三菱電機株式会社

2003年 1月17日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3106926

【書類名】 特許願

【整理番号】 541905JP01

【提出日】 平成14年12月16日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/41
H01L 27/11

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 井筒 隆

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データを記憶するメモリセルと、
前記メモリセルと接続されるワード線と、
前記メモリセルと接続され、各ビット線が第 1 の容量値を有するビット線対と

前記ビット線対を電源電位にプリチャージするビット線プリチャージ回路と、
前記電源電位よりも高い第 1 の電位の電圧を発生する昇圧回路と、
前記昇圧回路から前記第 1 の電位の電圧を受け、前記第 1 の電位の電圧で前記
ワード線を活性化するワード線活性化回路とを備え、
前記メモリセルは、
各々が負荷素子および駆動素子からなり、交差接続される第 1 および第 2 のイ
ンバータと、
前記第 1 のインバータの出力ノードおよび前記第 2 のインバータの入力ノード
に接続され、前記第 1 の容量値の $1/8$ 以上の第 2 の容量値を有する第 1 の記憶
ノードと、
前記第 2 のインバータの出力ノードおよび前記第 1 のインバータの入力ノード
に接続され、前記第 2 の容量値を有する第 2 の記憶ノードと、
前記第 1 および第 2 の記憶ノードを前記ビット線対の一方および他方のビット
線とそれぞれ接続する第 1 および第 2 のゲート素子とを含み、
前記駆動素子の電流駆動能力は、前記第 1 および第 2 のゲート素子の電流駆動
能力の 2 倍よりも小さい、半導体記憶装置。

【請求項 2】 前記メモリセルは、

一方が前記第 1 の記憶ノードに接続され、他方が定電位ノードに接続される第
1 の容量素子と、

一方が前記第 2 の記憶ノードに接続され、他方が前記定電位ノードに接続され
る第 2 の容量素子とをさらに含み、

前記第 1 および第 2 の記憶ノードは、それぞれ前記第 1 および第 2 の容量素子

が接続されることによって前記第 2 の容量値を有する、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記駆動素子は、第 1 の導電型の第 1 のトランジスタからなり、

前記第 1 および第 2 のゲート素子は、第 1 の導電型の第 2 のトランジスタからなり、

前記負荷素子は、高抵抗のポリシリコンで形成された抵抗素子からなる、請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記抵抗素子は、第 2 の導電型の薄膜トランジスタからなる、請求項 3 に記載の半導体記憶装置。

【請求項 5】 前記第 2 の容量値は、読出動作時、前記一方のビット線から前記第 1 の記憶ノードに供給される電荷によって上昇する前記第 1 の記憶ノードの電位が前記第 1 のトランジスタのしきい値電圧を超えない値である、請求項 3 に記載の半導体記憶装置。

【請求項 6】 前記電源電位は、前記第 1 のトランジスタのしきい値電圧の値と前記第 2 のトランジスタのしきい値電圧の値との和からなる第 2 の電位よりも低い、請求項 3 に記載の半導体記憶装置。

【請求項 7】 前記第 1 の電位は、前記電源電位よりも前記第 2 のトランジスタのしきい値電圧だけ高い第 2 の電位よりも高い、請求項 3 に記載の半導体記憶装置。

【請求項 8】 前記ビット線プリチャージ回路は、前記第 1 の電位の電圧をゲートに受けて動作する第 1 の導電型のトランジスタで構成される、請求項 3 に記載の半導体記憶装置。

【請求項 9】 前記ビット線プリチャージ回路は、前記電源電位の電圧をゲートに受けて動作する第 2 の導電型のトランジスタで構成される、請求項 3 に記載の半導体記憶装置。

【請求項 10】 外部電源電圧に基づいて一定の前記電源電位からなる内部電圧を発生する内部電源発生回路をさらに備え、

前記メモリセルおよび前記ビット線プリチャージ回路は、前記内部電源発生回

路から供給される前記内部電圧を受けて動作する、請求項 1 に記載の半導体記憶装置。

【請求項 1 1】 前記駆動素子の電流駆動能力は、前記第 1 および第 2 のゲート素子の電流駆動能力の 0.8 以上 1.2 以下である、請求項 1 に記載の半導体記憶装置。

【請求項 1 2】 行列状に配置され、かつ、データを記憶する複数のメモリセルを含むメモリセルアレイと、

前記メモリセルアレイの行ごとに配列される複数のワード線と、

前記メモリセルアレイの列ごとに配列され、各ビット線が第 1 の容量値を有する複数のビット線対と、

対応するビット線対を電源電位にプリチャージする複数のビット線プリチャージ回路と、

前記電源電位よりも高い所定の電位の電圧を発生する昇圧回路と、

前記昇圧回路から前記所定の電位の電圧を受け、前記所定の電位の電圧で対応するワード線を活性化する複数のワード線活性化回路とを備え、

前記複数のメモリセルの各々は、

各々が負荷素子および駆動素子からなり、交差接続される第 1 および第 2 のインバータと、

前記第 1 のインバータの出力ノードおよび前記第 2 のインバータの入力ノードに接続され、前記第 1 の容量値の $1/8$ 以上の第 2 の容量値を有する第 1 の記憶ノードと、

前記第 2 のインバータの出力ノードおよび前記第 1 のインバータの入力ノードに接続され、前記第 2 の容量値を有する第 2 の記憶ノードと、

前記第 1 および第 2 の記憶ノードを対応するビット線対の一方および他方のビット線とそれぞれ接続する第 1 および第 2 のゲート素子とを含み、

前記駆動素子の電流駆動能力は、前記第 1 および第 2 のゲート素子の電流駆動能力の 2 倍よりも小さく、

前記複数のワード線のいずれかが活性化されているとき、その活性化されているワード線に直交するビット線対に対応するビット線プリチャージ回路は、不活

性化される、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、スタティック型のメモリセルを備える半導体記憶装置に関する。

【0002】

【従来の技術】

代表的な半導体記憶装置の1つであるSRAM (Static Random Access Memory) は、記憶データを保持するためのリフレッシュ動作が不要なRAMである。

SRAMのメモリセルは、負荷素子およびドライバトランジスタからなる2つのインバータを交差接続したフリップフロップがアクセストランジスタを介してビット線に接続される構成となっている。

【0003】

SRAMのメモリセルにおいては、フリップフロップにおける2つの記憶ノードの電位状態が記憶データに対応し、たとえば、2つの記憶ノードの電位がそれぞれH（論理ハイ）レベル、L（論理ロー）レベルに相当するときに記憶データ“1”に対応し、その逆の状態が記憶データ“0”に対応する。交差接続された記憶ノード上のデータは双安定状態であり、電源電圧が供給されている限りは状態が維持される。

【0004】

SRAMのメモリセルにおいてデータの書込みが行なわれるときは、書込データに対応してビット線対に相反する電圧を印加し、ワード線を活性化してアクセストランジスタをONすることによってフリップフロップの状態を設定する。一方、データの読出しは、ワード線を活性化してアクセストランジスタをONし、2つの記憶ノードの電位をビット線対にそれぞれ伝達し、このときのビット線対の電位変化を検出することによって行なわれる。

【0005】

また、SRAMには、ビット線対をプリチャージするビット線プリチャージ回

路が備えられている。ビット線プリチャージ回路は、NチャネルMOSトランジスタで構成され、プリチャージ指令を受けている期間、ビット線対を電源電圧 $V_{cc} - V_{th}$ の電位にプリチャージする。ここで、 V_{th} は、ビット線プリチャージ回路を構成するNチャネルMOSトランジスタのしきい値電圧である。

【0006】

従来より、SRAMのメモリセルは、読出動作時に記憶データが破壊されるのを防止するため、ドライバトランジスタとアクセストランジスタとの電流駆動能力比（「セル比」や「 β 比」とも称される。）が2.5～3以上になるように設計される。セル比を設ける理由は、データ読出しの際にワード線が活性化されると接地電位にある記憶ノードにビット線から電荷が供給されるが、その供給される電荷をドライバトランジスタが十分な駆動力をもって放電できないと、供給された電荷によって記憶ノードの電位が上昇し、もう一方のドライバトランジスタがONすることによって記憶データが破壊されてしまうからである。

【0007】

このため、一般に、SRAMにおいてはドライバトランジスタのゲート幅をアクセストランジスタのゲート幅より大きくする必要がある、これによってSRAMのメモリセルは大型化する。

【0008】

そこで、セル比を1もしくは1近傍（以下、「レシオレス」とも称する。）にすることができ、それによってメモリセルの面積の縮小を図ったSRAMが特公平6-80806号公報に開示されている（特許文献1）。このSRAMは、ビット線対に接続されるフリップフロップ型センス増幅器を備える。このセンス増幅器は、データの読出動作が開始されてビット線対上に記憶データが読出された後、レシオレスにしたことによって記憶データが破壊されるまでのわずかな時間に活性化され、その読出データを増幅して再度メモリセルへ書込む。これによって、レシオレスにしても結果として記憶データが破壊されないSRAMが実現されている。

【0009】

SRAMにおいては、メモリセルが大型化するという問題がある一方で、読出

速度の向上という観点からはドライバトランジスタの電流駆動能力は大きい方がよい。しかしながら、ドライバトランジスタの電流駆動能力を大きくすると、ドライバトランジスタの導通時のインピーダンスが小さくなりすぎ、書込み不能になるという問題がある。反対に、書込みがしやすいようにドライバトランジスタの電流駆動能力を小さくすると、上述したように、読出動作時に記憶データが破壊される。

【 0 0 1 0 】

そこで、このような問題の解決を図った S R A M が特開昭 6 2 - 2 5 7 6 9 8 号公報に開示されている（特許文献 2）。この S R A M は、ドライバトランジスタのドレインと一定電位との間に容量が接続される。これによって、この容量の放電状態を利用して記憶データの読出速度の向上が図られるとともに、この容量の蓄電電荷により読出動作時の記憶データの破壊が防止される。

【 0 0 1 1 】

【特許文献 1】

特公平 6 - 8 0 8 0 6 号公報

【 0 0 1 2 】

【特許文献 2】

特開昭 6 2 - 2 5 7 6 9 8 号公報

【 0 0 1 3 】

【発明が解決しようとする課題】

近年、I T 技術の飛躍的な進展とともに、様々な電子機器において小型化および高性能化の要求がますます高まっている。そして、電子機器に搭載される半導体記憶装置に対しても、高集積化および高性能化（高速化かつ低消費電力化）をともに満足するものが要求されている。

【 0 0 1 4 】

上述した特公平 6 - 8 0 8 0 6 号公報に開示された S R A M は、レシオレスを実現し、高集積化に適するものといえるが、この S R A M における読出動作は、メモリセル内の記憶データが一旦破壊される破壊読出しであり、読出動作に際してメモリセルの外部からメモリセルに記憶データを再度書込む動作が必要となる

。そして、この再書込動作は、活性化されるワード線に接続されるすべてのメモリセルについて実行されなければならない。このことから、このSRAMでは、さらなる高速化や低消費電力化は実現できない。

【0015】

また、ここ数年は、電子機器の携帯化や省エネルギー化を背景に、半導体記憶装置に対する低消費電力化のニーズが特に高まってきている。消費電力は電源電圧の2乗に比例するため、低消費電力化に対しては、電源電圧の低電圧化が最も有効である。したがって、新たに提案される半導体記憶装置も、低電圧下での使用が当然に想定され、低電圧下においても高いパフォーマンスを有することが必要とされる。

【0016】

上述した特公平6-80806号公報や特開昭62-257698号公報に開示されたSRAMを含む従来のSRAMは、このような低電圧化に十分に対応することができない。すなわち、たとえば外部電源電圧が1.8Vであり、メモリセルを構成するアクセストランジスタおよびドライバトランジスタのしきい値電圧が1.0Vであるとする、従来のSRAMではメモリセルの記憶ノードの電位を最大0.8Vまでしか上昇させることができず、ドライバトランジスタをONさせることができなくなる。

【0017】

ここで、トランジスタのしきい値電圧を下げるのが考えられるが、しきい値電圧を下げるとOFF時のリーク電流が増加し、スタンバイ中の消費電力が増加してしまう。したがって、従来のSRAMでは、低消費電力化に十分に対応することができない。

【0018】

さらに、上述した特開昭62-257698号公報に開示されたSRAMは、読出速度の向上および読出破壊の防止を実現できるが、書込動作については、設けた容量の充放電が必要であるため、その分書込動作に要する時間は長くなる。そして、上述した低電圧化が進むにつれて容量の充放電時間はますます長くなり、半導体記憶装置の高速化を実現することが困難となる。

【 0 0 1 9 】

そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、レシオレスを実現してメモリセルの面積を縮小し、高集積化を実現するとともに、低電圧下で安定かつ高速に動作する半導体記憶装置を提供することである。

【 0 0 2 0 】

【課題を解決するための手段】

この発明によれば、半導体記憶装置は、データを記憶するメモリセルと、メモリセルと接続されるワード線と、メモリセルと接続され、各ビット線が第1の容量値を有するビット線対と、ビット線対を電源電位にプリチャージするビット線プリチャージ回路と、電源電位よりも高い第1の電位の電圧を発生する昇圧回路と、昇圧回路から第1の電位の電圧を受け、第1の電位の電圧でワード線を活性化するワード線活性化回路とを備え、メモリセルは、各々が負荷素子および駆動素子からなり、交差接続される第1および第2のインバータと、第1のインバータの出力ノードおよび第2のインバータの入力ノードに接続され、第1の容量値の $1/8$ 以上の第2の容量値を有する第1の記憶ノードと、第2のインバータの出力ノードおよび第1のインバータの入力ノードに接続され、第2の容量値を有する第2の記憶ノードと、第1および第2の記憶ノードをビット線対の一方および他方のビット線とそれぞれ接続する第1および第2のゲート素子とを含み、駆動素子の電流駆動能力は、第1および第2のゲート素子の電流駆動能力の2倍よりも小さい。

【 0 0 2 1 】

また、この発明によれば、半導体記憶装置は、行列状に配置され、かつ、データを記憶する複数のメモリセルを含むメモリセルアレイと、メモリセルアレイの行ごとに配列される複数のワード線と、メモリセルアレイの列ごとに配列され、各ビット線が第1の容量値を有する複数のビット線対と、対応するビット線対を電源電位にプリチャージする複数のビット線プリチャージ回路と、電源電位よりも高い所定の電位の電圧を発生する昇圧回路と、昇圧回路から所定の電位の電圧を受け、所定の電位の電圧で対応するワード線を活性化する複数のワード線活性

化回路とを備え、複数のメモリセルの各々は、各々が負荷素子および駆動素子からなり、交差接続される第1および第2のインバータと、第1のインバータの出力ノードおよび第2のインバータの入力ノードに接続され、第1の容量値の $1/8$ 以上の第2の容量値を有する第1の記憶ノードと、第2のインバータの出力ノードおよび第1のインバータの入力ノードに接続され、第2の容量値を有する第2の記憶ノードと、第1および第2の記憶ノードを対応するビット線対の一方および他方のビット線とそれぞれ接続する第1および第2のゲート素子とを含み、駆動素子の電流駆動能力は、第1および第2のゲート素子の電流駆動能力の2倍よりも小さく、複数のワード線のいずれかが活性化されているとき、その活性化されているワード線に直交するビット線対に対応するビット線プリチャージ回路は、不活性化される。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0023】

〔実施の形態1〕

図1は、この発明の実施の形態1による半導体記憶装置10の構成を概念的に示す全体ブロック図である。

【0024】

図1を参照して、半導体記憶装置10は、行アドレス端子12と、列アドレス端子14と、制御信号端子16と、データ入出力端子18と、電源端子20とを備える。また、半導体記憶装置10は、行アドレスバッファ22と、列アドレスバッファ24と、制御信号バッファ26と、入出力バッファ28とを備える。さらに、半導体記憶装置10は、行アドレスデコーダ30と、列アドレスデコーダ32と、センスアンプ/ライトドライバ34と、マルチプレクサ35と、メモリセルアレイ36と、昇圧電源発生回路38とを備える。

【0025】

行アドレス端子12および列アドレス端子14は、それぞれ行アドレス信号X

0 ～ X_m および列アドレス信号 Y₀ ～ Y_n (m, n は自然数) を受ける。制御信号端子 16 は、書込制御信号 /W、出力許可信号 /OE およびチップセレクト信号 /CS を受ける。

【 0 0 2 6 】

行アドレスバッファ 22 は、行アドレス信号 X₀ ～ X_m を取込み、内部行アドレス信号を発生して行アドレスデコーダ 30 へ出力する。列アドレスバッファ 24 は、列アドレス信号 Y₀ ～ Y_n を取込み、内部列アドレス信号を発生して列アドレスデコーダ 32 へ出力する。制御信号バッファ 26 は、書込制御信号 /W、出力許可信号 /OE およびチップセレクト信号 /CS を取込み、書込許可信号 W_E および出力許可信号 OE をセンスアンプ / ライトドライバ 34 へ出力する。

【 0 0 2 7 】

データ入出力端子 18 は、半導体記憶装置 10 において読み書きされるデータを外部とやり取りする端子であって、データ書込時は外部から入力されるデータ DQ₀ ～ DQ_i (i は自然数) を受け、データ読出時はデータ DQ₀ ～ DQ_i を外部へ出力する。

【 0 0 2 8 】

入出力バッファ 28 は、データ書込時は、データ DQ₀ ～ DQ_i を取込んでラッチし、内部データ IDQ₀ ～ IDQ_i をセンスアンプ / ライトドライバ 34 へ出力する。一方、入出力バッファ 28 は、データ読出時は、センスアンプ / ライトドライバ 34 から受ける内部データ IDQ₀ ～ IDQ_i をデータ入出力端子 18 へ出力する。

【 0 0 2 9 】

電源端子 20 は、外部から電源電圧 V_{cc} および接地電圧 V_{ss} を受ける。昇圧電源発生回路 38 は、電源端子 20 から電源電圧 V_{cc} および接地電圧 V_{ss} を受けて電圧 V_{pp} (V_{pp} > 電源電圧 V_{cc} + V_{thn}) を発生し、発生した電圧 V_{pp} を行アドレスデコーダ 30 に含まれるワード線ドライバへ出力する。ここで、電圧 V_{thn} は、メモリセルアレイ 36 に含まれるメモリセルを構成する N チャネル MOS トランジスタのしきい値電圧である。なお、この昇圧電源発生回路 38 は、「昇圧回路」を構成する。

【 0 0 3 0 】

行アドレスデコーダ 3 0 は、行アドレス信号 $X_0 \sim X_m$ に対応するメモリセルアレイ 3 6 上のワード線を選択し、選択されたワード線を図示されないワード線ドライバによって電圧 V_{pp} で活性化する。また、列アドレスデコーダ 3 2 は、列アドレス信号 $Y_0 \sim Y_n$ に対応するメモリセルアレイ 3 6 上のビット線対を選択するための列選択信号をマルチプレクサ 3 5 へ出力する。

【 0 0 3 1 】

センスアンプ／ライトドライバ 3 4 は、データ書込時は、制御信号バッファ 2 6 から書込許可信号 WE を受け、入出力バッファ 2 8 から受ける内部データ $IDQ_0 \sim IDQ_i$ の論理レベルに応じて、各内部データに対応する I/O 線対のいずれか一方の I/O 線に電源電圧 V_{cc} を印加し、他方の I/O 線に接地電圧 GND を印加する。また、センスアンプ／ライトドライバ 3 4 は、データ読出時は、制御信号バッファ 2 6 から出力許可信号 OE を受け、読出データに対応して I/O 線対に発生する微小の電圧変化を検出／増幅し、読出データの論理レベルを判定して読出データを入出力バッファ 2 8 へ出力する。

【 0 0 3 2 】

マルチプレクサ 3 5 は、列アドレスデコーダ 3 2 から受ける列選択信号に応じて、 I/O 線対を選択されたビット線対と接続する。

【 0 0 3 3 】

メモリセルアレイ 3 6 は、メモリセルが行列状に配列された記憶素子群であり、各行に対応するワード線を介して行アドレスデコーダ 3 0 と接続され、また、各列に対応するビット線対を介してマルチプレクサ 3 5 と接続される。

【 0 0 3 4 】

この半導体記憶装置 1 0 においては、データ書込時は、行アドレス信号 $X_0 \sim X_m$ に応じたワード線が行アドレスデコーダ 3 0 によって電圧 V_{pp} で活性化され、列アドレス信号 $Y_0 \sim Y_n$ に応じたビット線対が列アドレスデコーダ 3 0 によって選択されてマルチプレクサ 3 5 によって I/O 線対と接続される。そして、センスアンプ／ライトドライバ 3 4 は、入出力バッファ 2 8 から受ける内部データ $IDQ_0 \sim IDQ_i$ を I/O 線対に書込み、これによって、行アドレス信号

$X_0 \sim X_m$ および列アドレス信号 $Y_0 \sim Y_n$ により選択されたメモリセルに内部データ $IDQ_0 \sim IDQ_i$ が書込まれる。

【0035】

一方、データ読出時は、図示されないビット線プリチャージ回路によって各ビット線対が電源電位 V_{cc} にプリチャージされた後、列アドレス信号 $Y_0 \sim Y_n$ に応じたビット線対が列アドレスデコーダ 30 によって選択され、選択されたビット線対がマルチプレクサ 35 によって I/O 線対と接続される。そして、行アドレス信号 $X_0 \sim X_m$ に応じたワード線が行アドレスデコーダ 30 によって電圧 V_{pp} で活性化されると、選択されたメモリセルからビット線対および I/O 線対にデータが読出される。

【0036】

そして、センスアンプ/ライトドライバ 34 は、読出データに対応して I/O 線対に発生した微小の電圧変化を検出/増幅し、読出データを入出力バッファ 28 へ出力する。これによって、行アドレス信号 $X_0 \sim X_m$ および列アドレス信号 $Y_0 \sim Y_n$ により選択されたメモリセルから内部データ $IDQ_0 \sim IDQ_i$ が読出される。

【0037】

図 2 は、実施の形態 1 による半導体記憶装置 10 におけるメモリセルアレイ 36 に行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【0038】

図 2 を参照して、メモリセルアレイ 36 には、ビット線対 140, 142 およびワード線 148 が直交して配置され、ビット線対 140, 142 およびワード線 148 にメモリセル 100 が接続される。また、ビット線対 140, 142 には、ビット線プリチャージ回路 130 が接続される。

【0039】

ワード線ドライバ 150 は、電源電圧 V_{cc} が昇圧された電圧 V_{pp} を昇圧電源発生回路 38 から受け、図示されない行アドレスデコーダ 30 によってワード線 148 が選択されると、電圧 V_{pp} でワード線 148 を活性化する。一方、ワ

ード線ドライバ150は、ワード線148が選択されていないときは、接地電圧GNDでワード線148を不活性化する。なお、このワード線ドライバ150は、「ワード線活性化回路」を構成する。

【0040】

BLPC信号発生回路152は、ワード線148が不活性化されている期間またはワード線148が活性化される直前に、ビット線プリチャージ信号BLPCをHレベルで出力する。インバータ156は、ビット線プリチャージ信号BLPCを受け、その反転信号／BLPCをビット線プリチャージ回路130へ出力する。

【0041】

ビット線プリチャージ回路130は、PチャネルMOSトランジスタ132～136と、電源ノード122とを含む。PチャネルMOSトランジスタ132は、電源ノード122とビット線140との間に接続され、信号／BLPCをゲートに受ける。PチャネルMOSトランジスタ134は、電源ノード122とビット線142との間に接続され、信号／BLPCをゲートに受ける。PチャネルMOSトランジスタ136は、ビット線140、142の間に接続され、信号／BLPCをゲートに受ける。

【0042】

ビット線プリチャージ回路130は、信号／BLPCがLレベルの間、すなわち、ビット線プリチャージ信号BLPCがHレベルの間、ビット線対140、142を電源電位Vccにプリチャージする。

【0043】

メモリセル100は、NチャネルMOSトランジスタ102～108と、Pチャネル薄膜トランジスタ（以下、薄膜トランジスタを「TFT (Thin Film Transistor)」とも称する。）110、112と、記憶ノード118、120と、キャパシタ114、116と、電源ノード122と、接地ノード124とを含む。

【0044】

PチャネルTFT110、112は、ポリシリコンで形成された、スイッチング機能を備える抵抗素子であり、T（テラ、「T」は 10^{12} を表わす。）Ωオー

ダのOFF抵抗とG（ギガ、「G」は 10^9 を表わす。） Ω オーダのON抵抗とを有する高抵抗素子である。

【0045】

PチャネルTFT110は、電源ノード122と記憶ノード118との間に接続され、ゲートが記憶ノード120に接続される。PチャネルTFT112は、電源ノード122と記憶ノード120との間に接続され、ゲートが記憶ノード118に接続される。NチャネルMOSトランジスタ102は、記憶ノード118と接地ノード124との間に接続され、ゲートが記憶ノード120に接続される。NチャネルMOSトランジスタ104は、記憶ノード120と接地ノード124との間に接続され、ゲートが記憶ノード118に接続される。

【0046】

ポリシリコンからなるPチャネルTFT110、112は、基板中に形成されるバルクのNチャネルMOSトランジスタ102、104の上層に形成できるので、メモリセルのサイズ縮小に寄与している。

【0047】

PチャネルTFT110およびNチャネルMOSトランジスタ102ならびにPチャネルTFT112およびNチャネルMOSトランジスタ104は、それぞれインバータを構成し、この2つのインバータが交差接続されることによってフリップフロップが構成されている。これによって、記憶ノード118、120において相補なデータが双安定状態でラッチされ、メモリセル100にデータが記憶される。

【0048】

NチャネルMOSトランジスタ106は、記憶ノード118とビット線140との間に接続され、ゲートがワード線148に接続される。NチャネルMOSトランジスタ108は、ビット線140に相補なビット線142と記憶ノード120との間に接続され、ゲートがワード線148に接続される。

【0049】

NチャネルMOSトランジスタ106、108は、ワード線148が活性化されたときにメモリセル100をビット線対140、142と接続するゲート素子

(以下、「アクセストランジスタ」とも称する。)を構成する。一方、NチャネルMOSトランジスタ102, 104は、それぞれ記憶ノード118, 120の電荷を引抜く駆動素子(以下、「ドライバトランジスタ」とも称する。)を構成する。

【0050】

ドライバトランジスタであるNチャネルMOSトランジスタ102, 104とアクセストランジスタであるNチャネルMOSトランジスタ106, 108とは、セル比が1であり、かつ、各NチャネルMOSトランジスタは、製造上許容される最小寸法のゲート幅およびゲート長を有する。

【0051】

キャパシタ114は、記憶ノード118と定電位のセルプレートCPとの間に接続される。キャパシタ116は、記憶ノード120とセルプレートCPとの間に接続される。キャパシタ114, 116は、基板の上部に形成され、したがって、キャパシタ114, 116が設けられることによるメモリセル100の面積増加はない。

【0052】

なお、キャパシタ144, 146は、ビット線140, 142の寄生容量を表わしている。

【0053】

以下、このメモリセル100の動作について説明する。

(1) 読出動作

メモリセル100にデータ“1”が書込まれている場合、すなわち、記憶ノード118, 120の電位がそれぞれ“Hレベル”, “Lレベル”に相当する電位である場合の読出動作について説明する。

【0054】

読出動作に先立ち、BLPC信号発生回路152は、ビット線プリチャージ信号BLPCをHレベルで出力してビット線プリチャージ回路130を活性化し、ビット線プリチャージ回路130は、ビット線140, 142を電源電位Vccにプリチャージする。そして、ワード線ドライバ150によってワード線148

が電圧 V_{pp} で活性化されるまでに、BLPC信号発生回路152は、ビット線プリチャージ信号BLPCをLレベルにし、ビット線プリチャージ回路130は、不活性化される。

【0055】

その後、ワード線148が電圧 V_{pp} で活性化され、NチャネルMOSトランジスタ106, 108がONすると、記憶ノード118, 120の電位に応じてそれぞれビット線140, 142の電位が変化し、その変化を図示されないセンスアンプにより検出することによってメモリセル100の記憶データが読出される。

【0056】

図3は、データ読出時における記憶ノード118, 120、ビット線対140, 142およびワード線148の電位変化を示す図である。

【0057】

図3を参照して、縦軸および横軸は、それぞれ電位および経過時間を表わす。曲線C1, C2は、それぞれ記憶ノード118, 120の電位変化を示し、曲線C3, C4は、それぞれビット線140, 142の電位変化を示し、曲線C5は、ワード線148の電位変化を示す。

【0058】

読出動作が開始される前の時刻 T_0 においては、記憶ノード118, 120の電位は、それぞれ電源電位 V_{cc} および接地電位GNDであり、ビット線140, 142は、ビット線プリチャージ回路130によって電源電位 V_{cc} にプリチャージされている。また、ワード線148の電位は、接地電位GNDである。

【0059】

時刻 T_1 において、ワード線148が活性化されると、ワード線148の電位が上昇し始める。時刻 T_2 において、ワード線148の電位がNチャネルMOSトランジスタ106, 108のしきい値電圧 V_{thn} を超えると、NチャネルMOSトランジスタ106, 108がONする。そうすると、ビット線142からNチャネルMOSトランジスタ108を介して記憶ノード120およびそれに接続されるキャパシタ116に電荷が供給され、記憶ノード120の電位は上昇し

始め、ビット線 1 4 2 の電位は下降し始める。

【0 0 6 0】

時刻 T 3 において、ワード線 1 4 8 の電位は V_{pp} に達し、その直後の時刻 T 4 において、記憶ノード 1 2 0 の電位は最も高くなる。ビット線 1 4 2 から記憶ノード 1 2 0 に供給される電荷は、NチャネルMOSトランジスタ 1 0 4 を介して放電されるので、時刻 T 4 以降は、ビット線 1 4 2 の電位は低下し、応じて記憶ノード 1 2 0 の電位も低下する。

【0 0 6 1】

ここで、このメモリセル 1 0 0 は、セル比が 1 であり、ドライバトランジスタであるNチャネルMOSトランジスタ 1 0 4 の電流駆動能力が十分でないところ、NチャネルMOSトランジスタ 1 0 4 によって放電されずに記憶ノード 1 2 0 の電位上昇を引き起こす電荷を記憶ノード 1 2 0 に接続されたキャパシタ 1 1 6 が吸収するため、記憶ノード 1 2 0 の電位の上昇がしきい値電圧 V_{thn} よりも小さい範囲に抑えられている。

【0 0 6 2】

すなわち、もしかりに、キャパシタ 1 1 6 が設けられておらず、記憶ノード 1 2 0 自体の容量も小さいとすると、記憶ノード 1 2 0 の電位は、NチャネルMOSトランジスタ 1 0 2 のしきい値電圧 V_{thn} を超えてしまう。そうすると、NチャネルMOSトランジスタ 1 0 2 がONして記憶ノード 1 1 8 の電位が低下し、応じてNチャネルMOSトランジスタ 1 0 4 がOFFして記憶データが反転する。すなわち、記憶データは破壊される。

【0 0 6 3】

キャパシタ 1 1 6 の容量は、記憶ノード 1 2 0 の電位がNチャネルMOSトランジスタ 1 0 2 のしきい値電圧 V_{thn} を超えないように適切に決定される。

【0 0 6 4】

図 4 は、図 2 に示したメモリセル 1 0 0 における読出動作において、キャパシタ 1 1 6 の容量値に対する記憶ノード 1 2 0 の最大電位の依存性を示した図である。

【0 0 6 5】

図4を参照して、横軸および縦軸は、それぞれキャパシタ116の容量値および記憶ノード120の最大電位を表わす。菱形印がプロットされた曲線は、ビット線142の寄生容量が180 fFの場合を示し、四角印がプロットされた曲線は、ビット線142の寄生容量が360 fFの場合を示す。また、この実施の形態1では、電源電圧 V_{cc} は1.6 Vであり、NチャネルMOSトランジスタ102のしきい値電圧 V_{thn} は1.0 V程度である。

【0066】

記憶ノード120の最大電位が1.0 Vとなるのは、ビット線142の寄生容量が180 fFのときは約23 fF、ビット線142の寄生容量が360 fFのときは約43 fFである。したがって、たとえば、ビット線142の寄生容量が180 fFのときは、容量値が23 fFよりも大きいキャパシタ116を設ければ、記憶ノード120の電位は、NチャネルMOSトランジスタ102のしきい値電圧である1.0 Vを超えることはなく、メモリセル100のセル比が1であっても記憶データが反転することなく、記憶データを破壊することなく読出することができる。

【0067】

そして、許容可能な記憶ノード120の最大電位を1.0 Vとしたとき、ビット線142の寄生容量とキャパシタ116の容量との比（以下、単に「容量比」とも称する。）は、ビット線142の寄生容量が180 fFのときは約7.8、ビット線142の寄生容量が360 fFのときは約8.3となる。通常、DRAMにおけるビット線とメモリセルとの容量比は3前後であり、上述した値はDRAMの値よりも大きい。

【0068】

上述した例においては、記憶ノード120の最大電位を1.0 Vとしたが、電源電圧の低電圧化においては、NチャネルMOSトランジスタ102のしきい値電圧を低電圧化することが望ましく（NチャネルMOSトランジスタ104についても同様）、したがって、記憶ノード120の最大電位も下げることが望ましい。記憶ノード120の最大電位が1.0 Vよりも低い場合、図4からわかるように容量比を小さくする必要があり、記憶ノード120の電位の上昇を抑えるた

めには、上述したデータを考慮して少なくとも容量比を 8 以下にするのが望ましい。また、このメモリセル 1 0 0 は、DRAM と異なりデータを保持するラッチ回路を有するため、容量比が DRAM の値を下回る必要はない。したがって、容量比は、3 以上 8 以下にするのが望ましいと考えられる。

【0 0 6 9】

以上のように、このメモリセル 1 0 0 においては、DRAM に対して容量比を大きくすることができ、DRAM に対して容量比の許容範囲が広がる。したがって、DRAM と比較して、1 対のビット線対に多くのメモリセルを接続したり、ビット線対を長くすることが可能となり、設計の自由度が向上する。

【0 0 7 0】

なお、キャパシタ 1 1 6 の容量値が大きすぎると、データ書込時に記憶ノード 1 2 0 およびキャパシタ 1 1 6 の充電時間が長くなるため、書込動作が遅くなる。したがって、キャパシタ 1 1 6 の容量値は、図 4 において説明した容量値を基準とし、電源電圧変動などによる記憶ノード 1 2 0 への供給電荷の変動を考慮した上で、動作が保証されるマージンを有する値に適切に決定される必要がある。

【0 0 7 1】

また、この実施の形態 1 では、上述したように、ビット線対 1 4 0, 1 4 2 は、P チャネル MOS トランジスタで構成されるビット線プリチャージ回路 1 3 0 によって電源電位 V_{cc} にプリチャージされる。ビット線対 1 4 0, 1 4 2 を電源電位 V_{cc} (電源電位 $V_{cc} - V_{thn}$ ではなく) にプリチャージする理由は以下のとおりである。

【0 0 7 2】

上述したように、N チャネル MOS トランジスタ 1 0 2 ~ 1 0 8 のしきい値電圧 V_{thn} は 1. 0 V 程度である。この半導体記憶装置 1 0 が低電圧下で使用される場合、すなわち、たとえば電源電圧 V_{cc} が 1. 6 V の場合、従来の S R A M のようにビット線対 1 4 0, 1 4 2 のプリチャージ電位が電源電位 $V_{cc} - V_{thn}$ すなわち 0. 6 V であるとする、H レベルである記憶ノード 1 1 8 の電位は、読出動作に伴って 1. 6 V から 0. 6 V に低下する。したがって、N チャネル MOS トランジスタ 1 0 4 が OFF してしまうため、メモリセル 1 0 0 は誤

動作する。

【0073】

そこで、ビット線プリチャージ回路130は、電源ノード122の電源電位 V_{cc} からしきい値電圧 V_{thn} の低下を起こさないようにPチャネルMOSトランジスタで構成される。これによって、ビット線対140, 142は、電源ノード122から供給される電源電位 V_{cc} にプリチャージされる。

【0074】

なお、上述した例では、メモリセル100にデータ“1”が記憶されている場合について説明したが、データ“0”が記憶されている場合についても同様に考えることができる。

【0075】

(2) 書込動作

メモリセル100にデータ“1”を書込む場合、すなわち、記憶ノード118, 120の電位をそれぞれ“Hレベル”, “Lレベル”に相当する電位にする場合について説明する。

【0076】

再び図2を参照して、ワード線ドライバ150によってワード線148が電圧 V_{pp} で活性化され、NチャネルMOSトランジスタ106, 108がONした状態で、図示されないセンスアンプ/ライトドライバ34によってビット線140, 142にそれぞれ電源電圧 V_{cc} および接地電圧GNDが印加されると、ビット線140からNチャネルMOSトランジスタ106を介して記憶ノード118およびキャパシタ114に電荷が供給される。一方、記憶ノード120およびキャパシタ116からはNチャネルMOSトランジスタ108を介してビット線142に電荷が放電され、PチャネルTFT110, 112およびNチャネルMOSトランジスタ102, 104で構成されるフリップフロップの状態が設定される。

【0077】

ここで、NチャネルMOSトランジスタ106, 108のしきい値電圧 V_{thn} 分電源電位 V_{cc} よりも高い電位よりもさらに高い電圧 V_{pp} でワード線14

8を活性化する理由は以下のとおりである。

【0078】

半導体記憶装置10が低電圧下で使用される場合、すなわち電源電圧 V_{cc} が1.6Vである場合、かりに、活性化されたワード線148の電位が電源電位 V_{cc} であったとすると、NチャネルMOSトランジスタ102～108のしきい値電圧 V_{thn} が1.0V程度であるので、記憶ノード118の電位は0.6Vまでしか上昇しない。したがって、ドライバトランジスタであるNチャネルMOSトランジスタ104はONせず、フリップフロップの状態を設定することができない。

【0079】

ここで、NチャネルMOSトランジスタ102～108のしきい値電圧 V_{thn} を下げることも考えられるが、しきい値電圧 V_{thn} を下げるとNチャネルMOSトランジスタ102～108のOFF時のリーク電流が増加し、スタンバイ中の消費電力が増加してしまう。

【0080】

また、PチャネルTFT110のON電流によって記憶ノード118を充電することも考えられるが、PチャネルTFT110（PチャネルTFT112も同様）は基板上に形成されるため、OFF電流に対するON電流の比を大きくすることができず、OFF電流の大きさはスタンバイ中の低消費電力化の要請から決定されるため、ON電流を大きくすることはできない。

【0081】

すなわち、このメモリセル100では、PチャネルTFT110、112のON電流およびOFF電流は、それぞれ 1×10^{-11} A（アンペア）および 1×10^{-13} A程度であり、キャパシタ114、116の容量は、25fF（フェムトファラッド、「f」は 10^{-15} を表わす。）程度であるため、PチャネルTFT110のON電流によって記憶ノード118の電位をNチャネルMOSトランジスタ104のしきい値電圧 V_{thn} である1.0V以上にするには、下記の時間 t を要する。

【0082】

$$t = \text{電荷 } Q / \text{電流 } I = (25 \times 10^{-15} \text{ F}) \times (1.0 \text{ V} - 0.6 \text{ V}) / (1 \times 10^{-11} \text{ A}) = 1.0 \times 10^{-3} \text{ 秒} \quad \dots (1)$$

したがって、PチャネルTFT110のON電流によって記憶ノード118を1.0V以上にするには、m(ミリ)秒オーダーの時間を要し、短期間の書込サイクルで記憶ノード118の電位をNチャネルMOSトランジスタ104のしきい値電圧 V_{thn} 以上に引き上げることは難しい。

【0083】

以上のことから、昇圧された電圧 V_{pp} ($V_{pp} > V_{cc} + V_{thn}$)でワード線148を活性化し、ビット線140からの電荷の供給のみによって記憶ノード118を電源電位 V_{cc} にする必要がある。

【0084】

そして、このようにワード線148の電圧を昇圧することによってNチャネルMOSトランジスタ106, 108の電流駆動能力が高められるので、キャパシタ114, 116が付加されたことによる記憶ノード118, 120の充放電時間の増大も抑制され、PチャネルTFT110, 112の電流駆動能力に拘わらず、メモリセル100は、高速かつ安定して動作する。

【0085】

なお、上述した例では、メモリセル100にデータ“1”を書込む場合について説明したが、データ“0”を書込む場合についても同様に考えることができる。

【0086】

図5は、図1に示したメモリセルアレイ36におけるメモリセル100のアレイ配置を示す図である。

【0087】

図5を参照して、メモリセルアレイ36には、図2に示したメモリセル100が行列状に配置され、各メモリセル100は、行および列ごとにそれぞれ配列されたワード線148およびビット線対140, 142と接続される。各ワード線148に対応して、そのワード線を活性化するワード線ドライバ150が設けられ、各ビット線対140, 142に対応して、そのビット線対を電源電位にブリ

チャージするビット線プリチャージ回路 1 3 0 が設けられる。また、各ビット線プリチャージ回路 1 3 0 に対応して B L P C 信号発生回路 1 5 2 が設けられる。

【 0 0 8 8 】

このメモリセルアレイ 3 6 においては、活性化されたワード線 1 4 8 に接続される非選択のメモリセル 1 0 0 と接続されるビット線対 1 4 0, 1 4 2 に対応するビット線プリチャージ回路 1 3 0 は、そのワード線 1 4 8 が活性化されている期間不活性化される。すなわち、ある選択されたメモリセル 1 0 0 からのデータ読出動作に伴ってワード線 1 4 8 が活性化されると、その活性化されたワード線 1 4 8 に接続される非選択のメモリセルにおいてもアクセストランジスタである N チャネル MOS トランジスタ 1 0 6, 1 0 8 は ON するが、このとき、すべてのビット線プリチャージ回路 1 3 0 が不活性化される。

【 0 0 8 9 】

したがって、非選択のメモリセルに対応するビット線対 1 4 0, 1 4 2 は、通常のデータ読出時と同じ状態であり、非選択のメモリセルにおいて、ワード線 1 4 8 が活性化されてアクセストランジスタが ON しても、読出動作の説明で述べたように記憶データが破壊されることはなく、当該メモリセル 1 0 0 がアレイ配置されたメモリセルアレイ 3 6 が実現される。

【 0 0 9 0 】

図 6 は、図 5 に示したビット線プリチャージ回路 1 5 2 の活性状態を説明するタイミングチャートである。

【 0 0 9 1 】

図 6 を参照して、ワード線 1 4 8 が不活性化されている時刻 T 1 以前、時刻 T 2 ~ T 3 および時刻 T 4 以降においては、B L P C 信号発生回路 1 5 2 は、ビット線プリチャージ信号 B L P C を H レベルで出力する。したがって、ビット線プリチャージ回路 1 3 0 は、上記期間中活性化されており、対応するビット線対 1 4 0, 1 4 2 を電源電位にプリチャージしている。

【 0 0 9 2 】

ワード線 1 4 8 が活性化される時刻 T 1 ~ T 2 および時刻 T 3 ~ T 4 の期間においては、B L P C 信号発生回路 1 5 2 は、ビット線プリチャージ信号 B L P C

をLレベルで出力する。したがって、ビット線プリチャージ回路130は、上記期間中は不活性化され、活性化されたワード線148に接続される非選択のメモリセル100の記憶データが破壊されることはない。

【0093】

なお、上述した例では、メモリセルアレイ36がブロック分割されている場合については言及していないが、メモリセルアレイ36が複数のブロックに分割されている場合は、少なくとも活性化されたワード線148を含むブロックにおいて、ビット線プリチャージ回路130が上記期間中に不活性化されていればよい。

【0094】

以上のように、この実施の形態1による半導体記憶装置10によれば、記憶ノード118、120に接続されるキャパシタ114、116を設け、ビット線プリチャージ回路130によってビット線対140、142を電源電位Vccにプリチャージし、ワード線148を電圧Vppで活性化するようにしたので、メモリセル100をレシオレスとすることができ、セル面積が縮小され、したがって装置面積を縮小できる。

【0095】

また、メモリセル100は、低電圧下でも安定して動作し、半導体記憶装置10の低消費電力化が実現できる。さらに、メモリセル100は、データを非破壊で読出すことができ、そのため再書込動作が不要であり、したがって半導体記憶装置10の高速動作化が実現できる。

【0096】

【実施の形態2】

実施の形態2では、ビット線プリチャージ回路がNチャネルMOSトランジスタで構成される。

【0097】

再び図1を参照して、実施の形態2による半導体記憶装置10Aは、実施の形態1による半導体記憶装置10の構成において、昇圧電源発生回路38に代えて昇圧電源発生回路38Aを備える。昇圧電源発生回路38Aは、発生した電圧V

p p を行アドレスデコーダ 3 0 に含まれるワード線ドライバへ出力するとともに、図示されない B L P C 信号発生回路へも出力する点において、昇圧電源発生回路 3 8 と異なる。

【 0 0 9 8 】

なお、半導体記憶装置 1 0 A におけるその他の構成は、半導体記憶装置 1 0 の構成と同じであるので、その説明は繰返さない。

【 0 0 9 9 】

図 7 は、実施の形態 2 による半導体記憶装置 1 0 A におけるメモリセルアレイ 3 6 に行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【 0 1 0 0 】

図 7 を参照して、B L P C 信号発生回路 1 5 2 A は、昇圧電源発生回路 3 8 A から電源電圧 V_{cc} が昇圧された電圧 V_{pp} を受け、ワード線 1 4 8 が不活性化されている期間またはワード線 1 4 8 が活性化される直前に、電圧 V_{pp} からなる H レベルのビット線プリチャージ信号 B L P C をビット線プリチャージ回路 2 3 0 へ出力する。

【 0 1 0 1 】

ビット線プリチャージ回路 2 3 0 は、N チャネル MOS トランジスタ 2 3 2 ~ 2 3 6 と、電源ノード 1 2 2 とを含む。N チャネル MOS トランジスタ 2 3 2 は、電源ノード 1 2 2 とビット線 1 4 0 との間に接続され、ビット線プリチャージ信号 B L P C をゲートに受ける。N チャネル MOS トランジスタ 2 3 4 は、電源ノード 1 2 2 とビット線 1 4 2 との間に接続され、ビット線プリチャージ信号 B L P C をゲートに受ける。N チャネル MOS トランジスタ 2 3 6 は、ビット線 1 4 0, 1 4 2 の間に接続され、ビット線プリチャージ信号 B L P C をゲートに受ける。

【 0 1 0 2 】

ビット線プリチャージ回路 2 3 0 は、ビット線プリチャージ信号 B L P C が H レベルの間、すなわち、B L P C 信号発生回路 1 5 2 A からビット線プリチャージ信号 B L P C として電圧 V_{pp} を受けているとき、ビット線対 1 4 0, 1 4 2

を電源電位 V_{cc} にプリチャージする。

【0103】

図7に示されるその他の回路の構成は、図2に示した回路の構成と同じであるので、その説明は繰返さない。また、実施の形態2におけるメモリセル100およびその周辺回路の動作も、実施の形態1におけるメモリセル100およびその周辺回路の動作と同じであるので、その説明は繰返さない。

【0104】

実施の形態2による半導体記憶装置10Aによれば、メモリセル100を構成するバルクトランジスタと同じ導電型のNチャネルMOSトランジスタでビット線プリチャージ回路230が構成されるので、メモリセル周辺に新たにN型ウェル領域を形成する必要がなく、装置面積が縮小される。

【0105】

[実施の形態3]

図8は、この発明の実施の形態3による半導体記憶装置10Bの構成を概念的に示す全体ブロック図である。

【0106】

図8を参照して、半導体記憶装置10Bは、図1に示した実施の形態1による半導体記憶装置10の構成において、降圧電源発生回路40をさらに備え、昇圧電源発生回路38およびメモリセルアレイ36に代えてそれぞれ昇圧電源発生回路38Bおよびメモリセルアレイ36Aを備える。

【0107】

降圧電源発生回路40は、電源端子20から電源電圧 V_{cc} および接地電圧 V_{ss} を受けて一定電位からなる電圧 V_{DC} を発生し、発生した電圧 V_{DC} を昇圧電源発生回路38B、図示されないビット線プリチャージ回路、およびメモリセルアレイ36Aに含まれるメモリセルへ出力する。なお、この降圧電源発生回路40は、「内部電源発生回路」を構成する。

【0108】

昇圧電源発生回路38Bは、降圧電源発生回路40から電圧 V_{DC} を受けて電圧 V_{PP} ($V_{PP} > V_{DC} + V_{thn}$) を発生し、発生した電圧 V_{PP} を行アドレス

デコーダ 3 0 に含まれるワード線ドライバへ出力する。

【0 1 0 9】

メモリセルアレイ 3 6 A は、実施の形態 1, 2 におけるメモリセルアレイ 3 6 と構成は同じであるが、それに含まれる各メモリセルに供給される電圧が降圧電源発生回路 4 0 から出力される電圧 V_{DC} である点においてメモリセルアレイ 3 6 と異なる。

【0 1 1 0】

半導体記憶装置 1 0 B におけるその他の構成は、実施の形態 1 による半導体記憶装置 1 0 の構成と同じであるので、その説明は繰返さない。

【0 1 1 1】

図 9 は、実施の形態 3 による半導体記憶装置 1 0 B におけるメモリセルアレイ 3 6 A に行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【0 1 1 2】

図 9 を参照して、メモリセル 1 0 0 A およびビット線プリチャージ回路 1 3 0 A は、それぞれ実施の形態 1 におけるメモリセル 1 0 0 およびビット線プリチャージ回路 1 3 0 の構成において、電源電位 V_{cc} の電源ノード 1 2 2 に代えて図示されない降圧電源発生回路 4 0 から出力される電圧 V_{DC} が印加される電源ノード 2 2 2 を含む。

【0 1 1 3】

メモリセル 1 0 0 A およびビット線プリチャージ回路 1 3 0 A におけるその他の構成は、それぞれメモリセル 1 0 0 およびビット線プリチャージ回路 1 3 0 の構成と同じであるので、その説明は繰返さない。また、実施の形態 3 におけるメモリセル 1 0 0 A およびその周辺回路の動作も、実施の形態 1 におけるメモリセル 1 0 0 およびその周辺回路の動作と同じであるので、その説明は繰返さない。

【0 1 1 4】

実施の形態 3 では、降圧電源発生回路 4 0 によって一定電位に制御された電圧 V_{DC} がメモリセル 1 0 0 A およびビット線プリチャージ回路 1 3 0 A に供給されるため、メモリセル 1 0 0 A に含まれるキャパシタ 1 1 4, 1 1 6 の容量値を必

要最低限にすることができる。

【0 1 1 5】

すなわち、ビット線 1 4 0, 1 4 2 の寄生容量を C_b 、ビット線の電位を V_b とすると、書込動作時にビット線から接地電位にある記憶ノードに流れ込む電荷量 Q は、下記 (2) 式で表わされる。

【0 1 1 6】

$$Q = C_b \times V_b \cdots (2)$$

(2) 式からわかるように、電圧 V_b が変動すると流入される電荷量 Q が変動し、特に、電圧 V_b が高くなる方に変動すると、電荷量 Q は増加する。電荷量 Q の増加は、記憶ノードの電位上昇を招き、ドライバトランジスタの誤動作を引き起こす。したがって、電圧変動に対して頑強なメモリセルであるためには、キャパシタ 1 1 4, 1 1 6 の容量値にマージンを持たせておく必要がある。

【0 1 1 7】

しかしながら、実施の形態 3 では、電圧 V_b は降圧電源発生回路 4 0 によって一定電位に制御された電圧 V_{DC} であるため、メモリセル 1 0 0 A に流入される電荷量 Q も一定となる。そのため、メモリセル 1 0 0 A に含まれるキャパシタ 1 1 4, 1 1 6 は、その容量値が必要最低限に抑えられている。したがって、メモリセル 1 0 0 A においては、データ書込時にキャパシタ 1 1 4 またはキャパシタ 1 1 6 の充電時間が必要最小限に抑えられる。

【0 1 1 8】

以上のように、実施の形態 3 による半導体記憶装置 1 0 B によれば、データの読書き時にビット線からメモリセルに供給される電荷量を安定化したので、メモリセルに含まれるキャパシタの容量値を必要最低限にすることができ、その結果、書込動作時間が短縮される。

【0 1 1 9】

〔実施の形態 4〕

実施の形態 4 では、降圧電源発生回路 4 0 によって一定電位に制御された電圧 V_{DC} が用いられるうえ、さらに、ビット線プリチャージ回路が N チャネル MOS トランジスタで構成される。

【0120】

再び図8を参照して、実施の形態4による半導体記憶装置10Cは、実施の形態3による半導体記憶装置10Bの構成において、昇圧電源発生回路38Bに代えて昇圧電源発生回路38Cを備える。昇圧電源発生回路38Cは、発生した電圧 V_{PP} を行アドレスデコーダ30に含まれるワード線ドライバへ出力するとともに、図示されないBLPC信号発生回路へも出力する点において、昇圧電源発生回路38Bと異なる。半導体記憶装置10Cにおけるその他の構成は、半導体記憶装置10Bの構成と同じであるので、その説明は繰返さない。

【0121】

図10は、実施の形態4による半導体記憶装置10Cにおけるメモリセルアレイ36Aに行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【0122】

図10を参照して、ビット線対140、142には、ビット線プリチャージ回路230Aが接続される。ビット線プリチャージ回路230Aは、実施の形態2におけるビット線プリチャージ回路230の構成において、電源電位 V_{CC} の電源ノード122に代えて一定電位に制御された電圧 V_{DC} が印加される電源ノード222を含む。ビット線プリチャージ回路230Aのその他の構成は、ビット線プリチャージ回路230の構成と同じであるので、その説明は繰返さない。

【0123】

また、図10に示されるその他の回路の構成は、図7に示した回路の構成と同じであるので、その説明は繰返さない。また、実施の形態4におけるメモリセル100Aおよびその周辺回路の動作も、実施の形態1におけるメモリセル100およびその周辺回路の動作と同じであるので、その説明は繰返さない。

【0124】

実施の形態4による半導体記憶装置10Cによれば、データの読書き時にビット線からメモリセルに供給される電荷量を安定化した上、さらに、メモリセル100Aを構成するバルクトランジスタと同じ導電型のNチャネルMOSトランジスタでビット線プリチャージ回路230Aが構成されるので、書込動作時間が短

縮されるとともに、装置面積も縮小される。

【0125】

なお、これまでに示した実施の形態では、メモリセルのセル比は1としたが、セル比が2よりも小さければ、セル比が2.5～3以上であった従来のSRAMに対してセル面積の縮小効果がある。

【0126】

また、これまでに示した実施の形態では、キャパシタ114, 116を設けることによってセル比が1であっても安定した読出動作が実現されたが、記憶ノード118, 120がキャパシタ114, 116に相当する容量値を備えれば、記憶ノード118, 120に別途キャパシタを設ける必要はなく、この場合もキャパシタ114, 116が設けられる場合と同様の機能が実現できる。

【0127】

さらに、これまでに示した実施の形態では、負荷素子としてPチャネルTFT110, 112が設けられたが、PチャネルTFT110, 112に代えてポリシリコンで形成された高抵抗素子を設けてもよい。

【0128】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0129】

【発明の効果】

この発明による半導体記憶装置によれば、メモリセルに含まれる記憶ノードの容量値を確保してメモリセルをレシオレスとし、また、データの読書きの際にビット線対から記憶ノードに供給される電荷量が十分に確保されるようにしたので、メモリセルの面積が縮小されて高集積化が実現されるとともに、低電圧下で安定かつ高速な動作が実現される。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置の構成を概念的に

示す全体ブロック図である。

【図 2】 実施の形態 1 による半導体記憶装置におけるメモリセルアレイに行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【図 3】 データ読出時における記憶ノード、ビット線対およびワード線の電位変化を示す図である。

【図 4】 図 2 に示すメモリセルにおける読出動作において、キャパシタの容量値に対する記憶ノードの最大電位の依存性を示した図である。

【図 5】 図 1 に示すメモリセルアレイにおけるメモリセルのアレイ配置を示す図である。

【図 6】 図 5 に示すビット線プリチャージ回路の活性状態を説明するタイミングチャートである。

【図 7】 実施の形態 2 による半導体記憶装置におけるメモリセルアレイに行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【図 8】 この発明の実施の形態 3 による半導体記憶装置の構成を概念的に示す全体ブロック図である。

【図 9】 実施の形態 3 による半導体記憶装置におけるメモリセルアレイに行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

【図 10】 実施の形態 4 による半導体記憶装置におけるメモリセルアレイに行列状に配置されるメモリセルおよびその周辺回路の構成を示す回路図である。

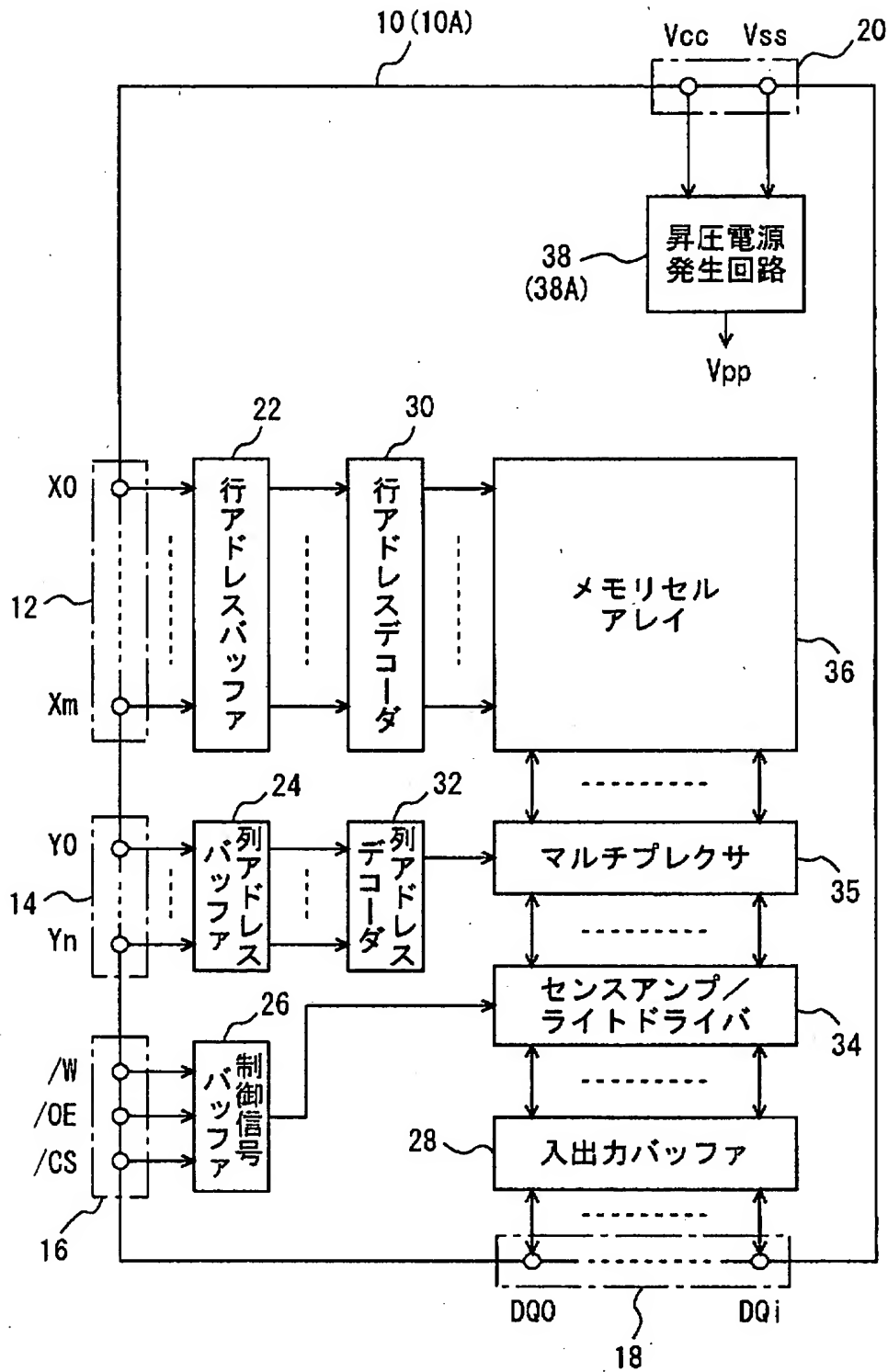
【符号の説明】

10, 10A, 10B, 10C 半導体記憶装置、12 行アドレス端子、14 列アドレス端子、16 制御信号端子、18 データ入出力端子、20 電源端子、22 行アドレスバッファ、24 列アドレスバッファ、26 制御信号バッファ、28 入出力バッファ、30 行アドレスデコーダ、32 列アドレスデコーダ、34 センスアンプ/ライトドライバ、35 マルチプレクサ、36, 36A メモリセルアレイ、38, 38A, 38B, 38C 昇圧電源発生回路、40 降圧電源発生回路、100, 100A メモリセル、102~108, 232~236 NチャネルMOSトランジスタ、110, 112 Pチャ

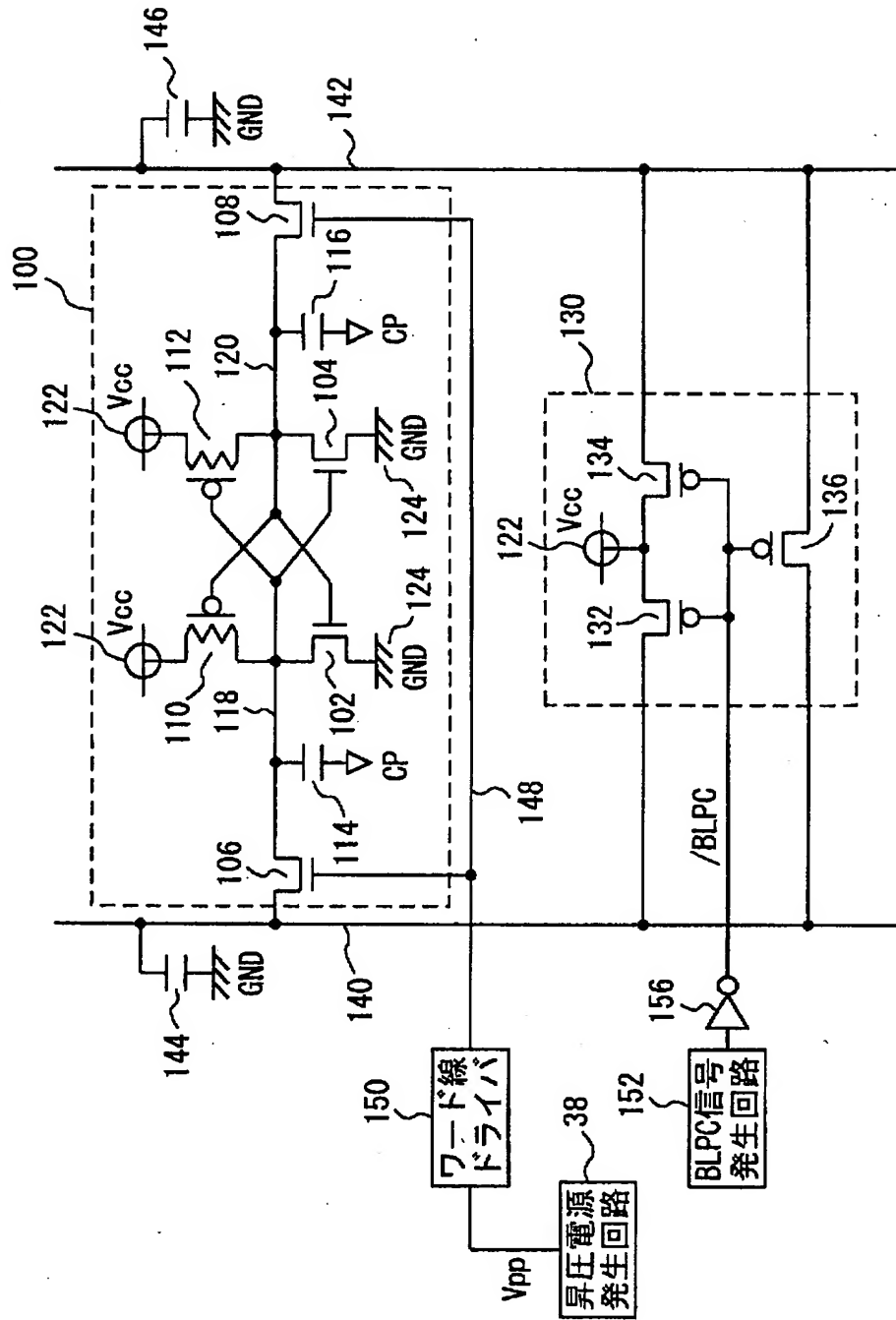
ヤネルTFT、114, 116, 144, 146 キャパシタ、118, 120
記憶ノード、122, 222 電源ノード、124 接地ノード、130, 1
30A, 230, 230A ビット線プリチャージ回路、132~136 Pチ
ヤネルMOSトランジスタ、140, 142 ビット線、148 ワード線、1
50 ワード線ドライバ、152, 152A BLPC信号発生回路、156
インバータ。

【書類名】 図面

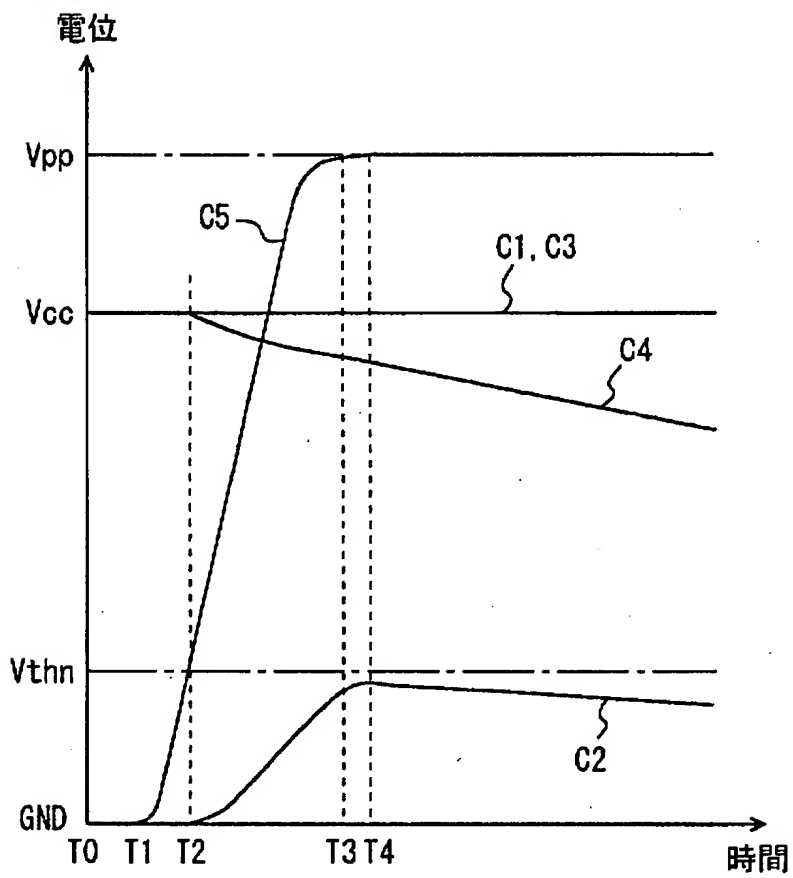
【図 1】



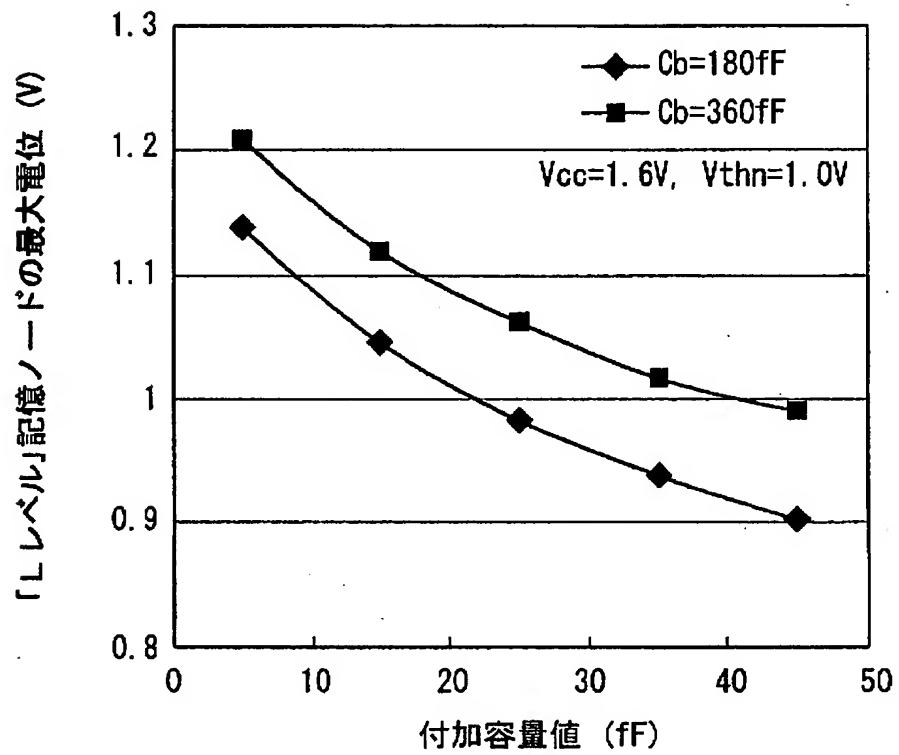
【図 2】



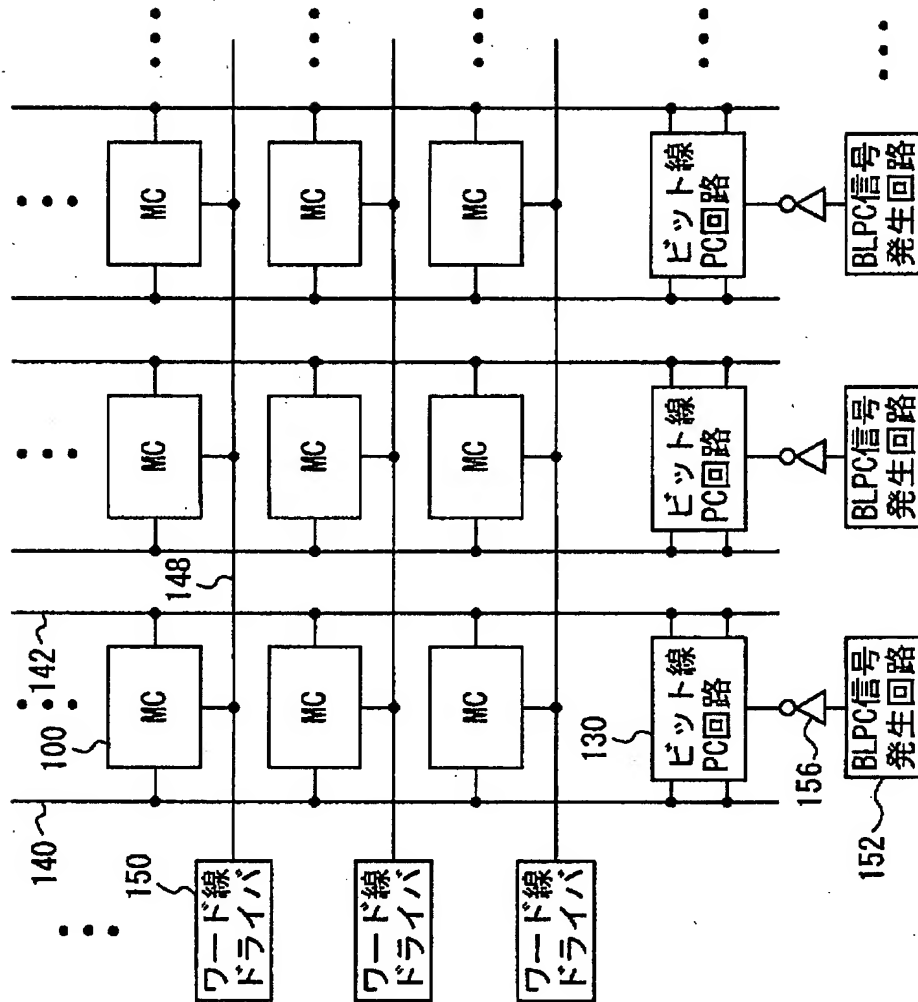
【図 3】



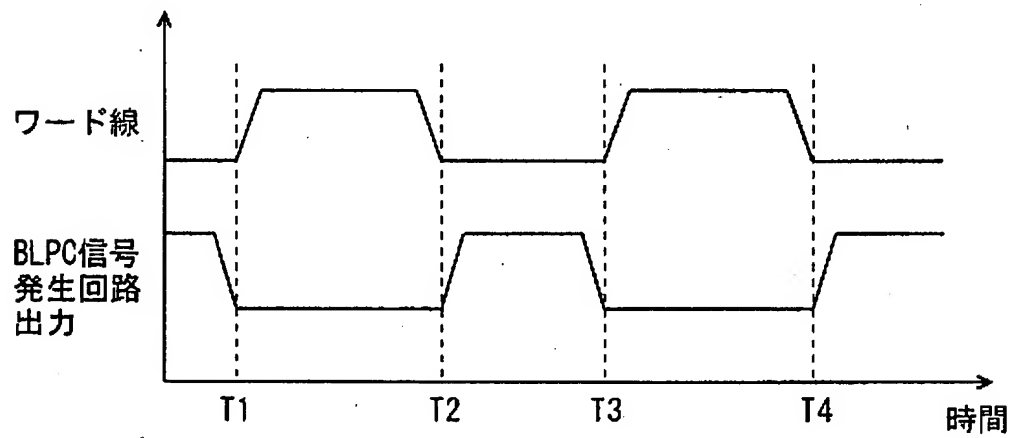
【図 4】



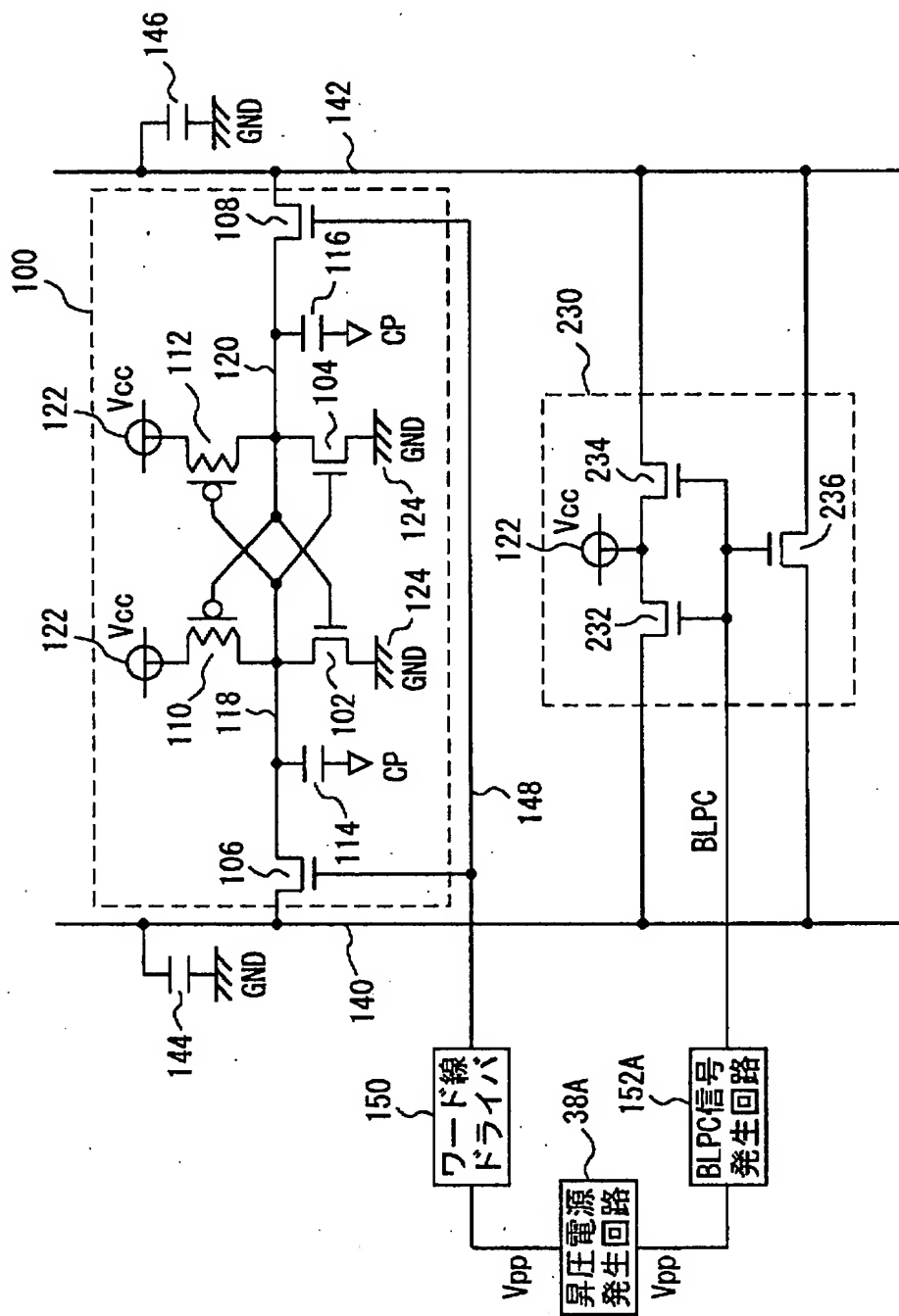
【図 5】



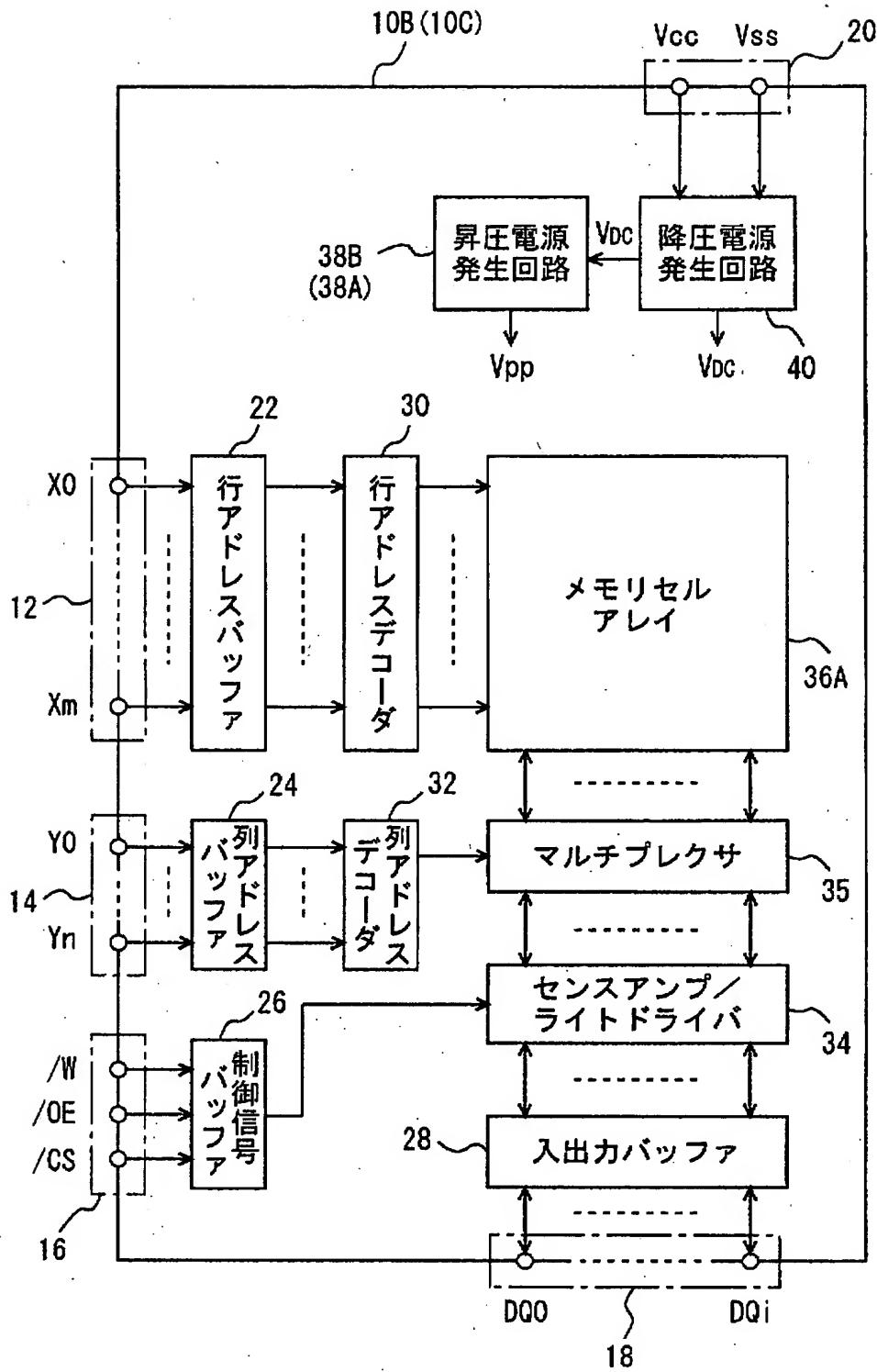
【図 6】



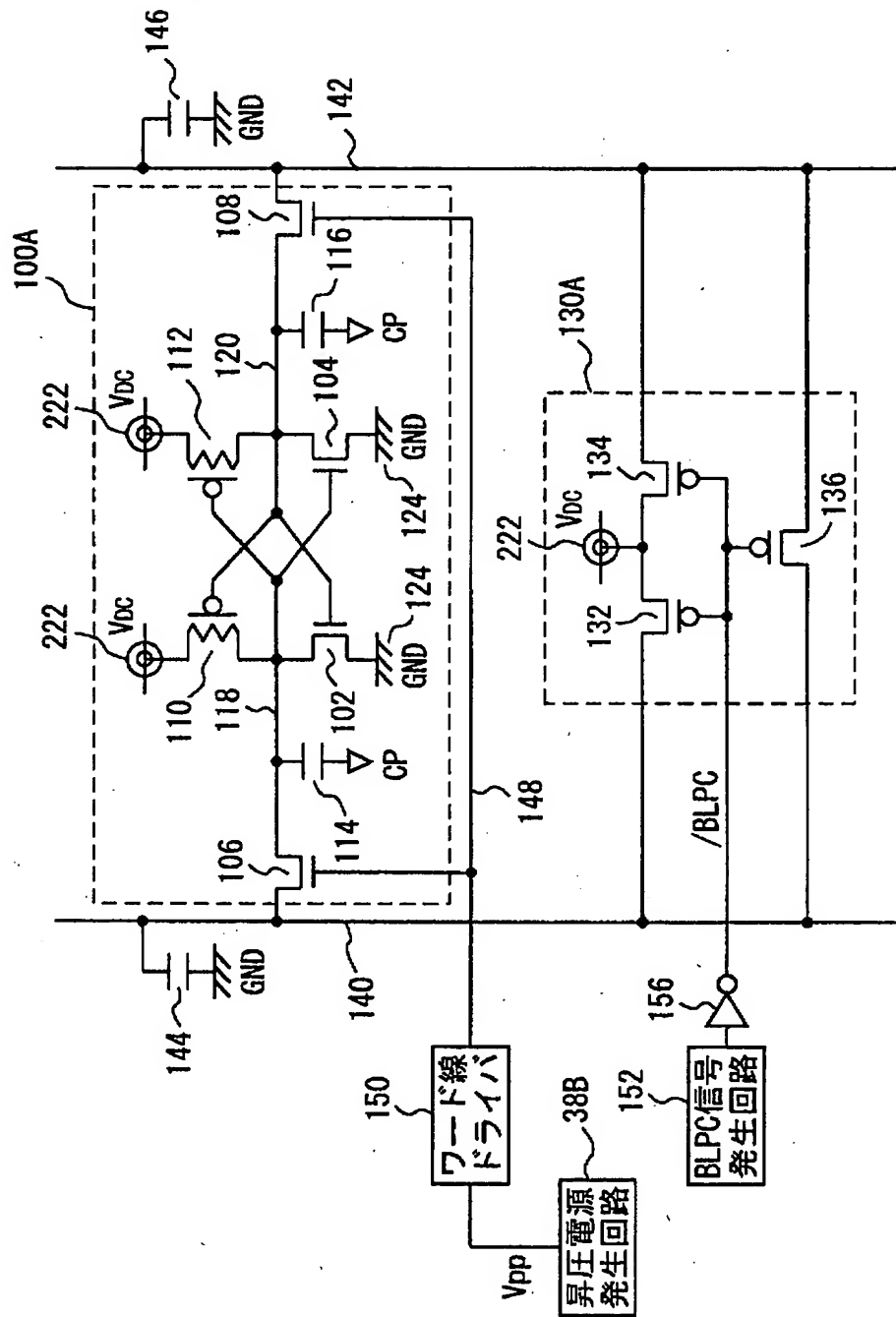
【図 7】



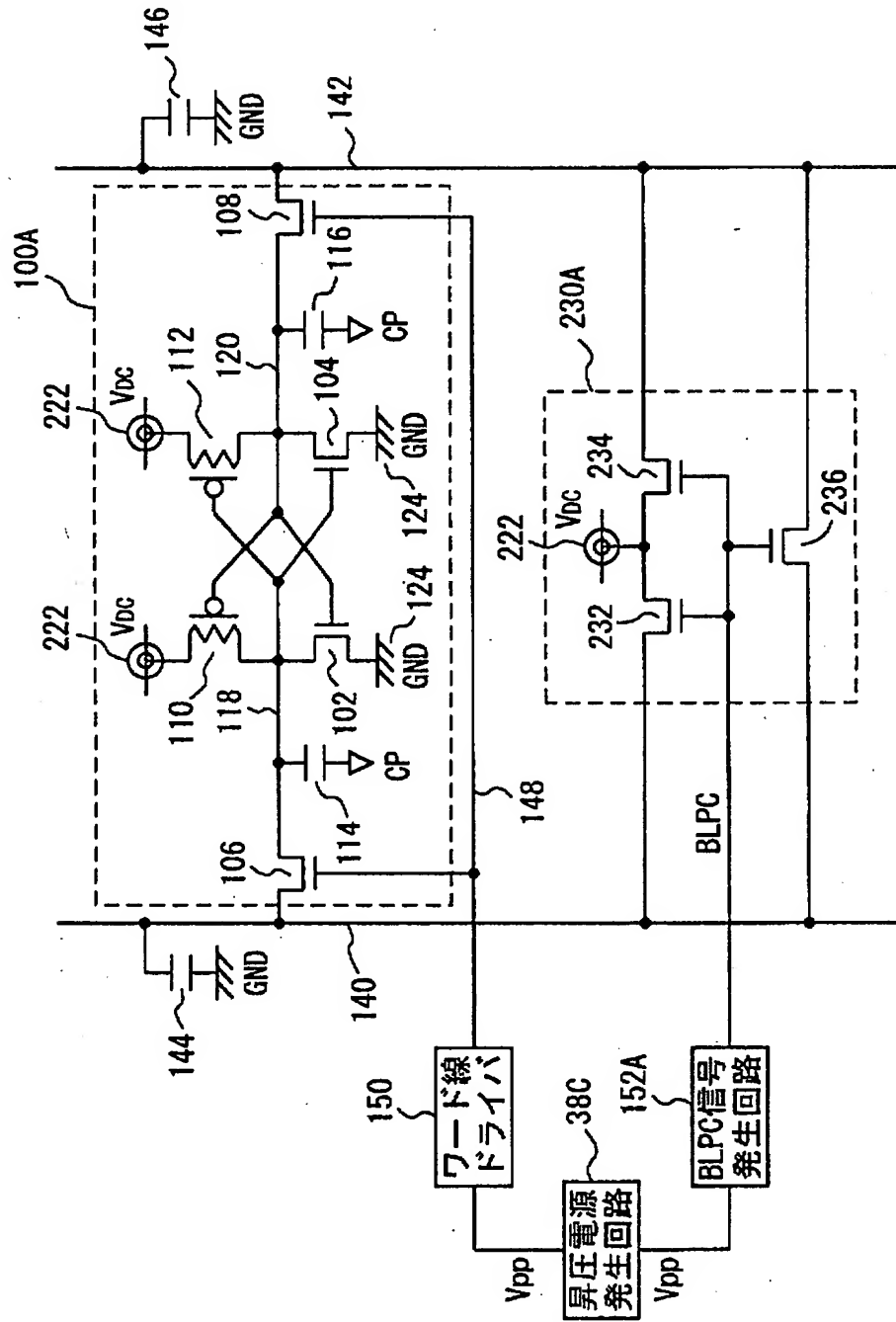
【図 8】



【图9】



【図10】



【書類名】 要約書

【要約】

【課題】 レシオレスを実現してメモリセルの面積を縮小し、高集積化を実現するとともに、低電圧下で安定かつ高速に動作する半導体記憶装置を提供する。

【解決手段】 メモリセル 1 0 0 において、NチャネルMOSトランジスタ 1 0 2, 1 0 4 とNチャネルMOSトランジスタ 1 0 6, 1 0 8 とのセル比は 1 であり、記憶ノード 1 1 8, 1 2 0 には、それぞれキャパシタ 1 1 4, 1 1 6 が接続される。ワード線ドライバ 1 5 0 は、電源電圧 V_{cc} が昇圧された電圧 V_{pp} を昇圧電源発生回路 3 8 から受け、ワード線 1 4 8 を電圧 V_{pp} で活性化する。ビット線プリチャージ回路 1 3 0 は、BLPC信号発生回路 1 5 2 から出力される信号に応じて、ワード線 1 4 8 の不活性時、ビット線 1 4 0, 1 4 2 を電源電位 V_{cc} にプリチャージする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社